

CLIPPEDIMAGE= JP406164327A  
PAT-NO: JP406164327A  
DOCUMENT-IDENTIFIER: JP 06164327 A  
TITLE: LOGIC CIRCUIT

PUBN-DATE: June 10, 1994

INVENTOR-INFORMATION:

NAME

WATANABE, SADAHIRO  
SONOBE, HIROYUKI

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP04317192

APPL-DATE: November 26, 1992

INT-CL\_(IPC): H03K003/037

US-CL-CURRENT: 327/215

ABSTRACT:

PURPOSE: To prevent the generation of erroneous latching by operating a first FF in synchronism with a prescribed timing signal and synchronously operating a second FF only at the time of one of the values of the control signals of 1/2 frequency of the timing signal.

CONSTITUTION: The first FFs 15-17 are operated in synchronism with the clock timing signal CLK of a prescribed frequency. On the other hand, since the second FFs 18 and 19 are operated only when the control signal CS of the 1/2 frequency clock of the timing signal CLK is an H level, they are apparently operated in synchronism with the signal CS. However, actually, since the second FFs are operated in with the signal CLK similarly to the first FFs, the set-up time of the FF 18 and FF 19 can be sufficiently

taken and further, the holding time of the respective FFs can be sufficiently taken. Thus, only the set-up time and the holding time for the signal CLK of the signal CS are considered, the phase relation of both signals can easily be the phase relation for not generating the erroneous latching and the erroneous latching between the first and second FFs are not generated.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-164327

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl.<sup>5</sup>

H 0 3 K 3/037

識別記号

庁内整理番号

Z 8124-5J

F I

技術表示箇所

審査請求 未請求 請求項の数2(全6頁)

(21)出願番号

特願平4-317192

(22)出願日

平成4年(1992)11月26日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 渡邊 定弘

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 園部 浩之

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

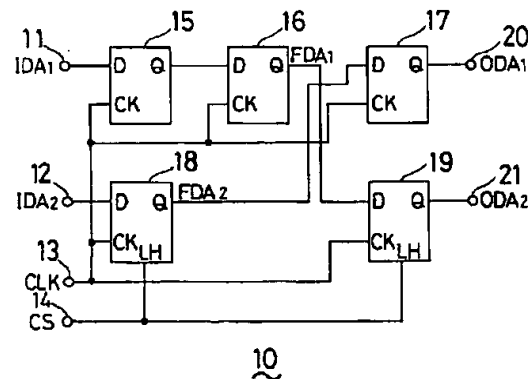
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 論理回路

(57)【要約】

【目的】 一のクロックを用いるフリップフロップと他のクロックを用いるフリップフロップとの間のデータのやり取りにおいてミスマッチが発生しないようにする。

【構成】 論理回路10は、所定の周波数のクロックであるタイミング信号CLKを発生するタイミング信号発生手段と、タイミング信号CLKの周波数の2分の1の周波数のクロックである制御信号CSを発生する制御信号発生手段と、タイミング信号CLKを入力し該タイミング信号CLKに同期して動作する第1のフリップフロップ15、16、17と、タイミング信号CLKと制御信号CSとを入力する第2のフリップフロップ18、19とを備えている。第2のフリップフロップ18、19は、制御信号CSがHighレベルであるときにタイミング信号CLKに同期してデータを入力する一方Lowレベルであるときに入力したデータを保持する。



10 論理回路

11 第1のデータ入力端子

12 第2のデータ入力端子

13 クロック入力端子

14 制御信号入力端子

15、16、17 第1のフリップフロップ

18、19 第2のフリップフロップ

20 第1のデータ出力端子

21 第2のデータ出力端子





## 【特許請求の範囲】

【請求項1】 所定の周波数のクロックであるタイミング信号を発生するタイミング信号発生手段と、  
第1の値と第2の値とに交互に変化し上記タイミング信号の周波数の2分の1の周波数のクロックである制御信号を発生する制御信号発生手段と、  
上記タイミング信号を入力し該タイミング信号に同期して動作する第1のフリップフロップと、  
上記タイミング信号と上記制御信号とを入力し、該制御信号の値が上記第1の値であるとき上記タイミング信号に同期して動作し上記第2の値であるときに動作しない第2のフリップフロップとを備えていることを特徴とする論理回路。

【請求項2】 所定の周波数のクロックであるタイミング信号を発生するタイミング信号発生手段と、  
第1の値と第2の値とに交互に変化し上記タイミング信号の周波数の2分の1の周波数のクロックである第1の制御信号及び上記第1の値のみからなる第2の制御信号を切り換え可能に発生する制御信号発生手段と、  
上記タイミング信号を入力し該タイミング信号に同期して動作する第1のフリップフロップと、  
上記タイミング信号と上記第1及び第2の制御信号のうちの一の制御信号とを入力し、該一の制御信号が上記第1の制御信号である場合には該第1の制御信号の値が上記第1の値であるときに上記タイミング信号に同期して動作し上記第2の値であるときに動作しない一方、上記一の制御信号が上記第2の制御信号である場合には上記タイミング信号に同期して動作する第2のフリップフロップとを備えていることを特徴とする論理回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、論理回路に関し、特に、2種類のクロックを用いる論理回路において各クロックを用いる回路相互間でデータのやり取りを行ない、例えば、テレビ映像装置の映像信号のように輝度信号と色信号という周波数帯域の異なる2つの信号を持つ信号を処理する論理回路に関するものである。

## 【0002】

【従来の技術】近年、デジタル信号処理技術の進歩に伴い、映像信号のデジタル信号処理が盛んに行われるようになり、1つのシステムにおいて映像信号に含まれる輝度信号と色信号という周波数帯域の違う2つの信号を処理するため、所定の周波数のクロックと該クロックの2分の1の周波数のクロックとの2種類のクロックを用いる論理回路が多く用いられるようになってきた。また、用途によっては、単一のクロックによっても動作することができるようになり、切り換え可能な論理回路が必要になってきている。

【0003】以下に従来の論理回路を図面に基づいて説明する。

【0004】ここでは、所定の周波数の第1クロックと該第1クロックの周波数の2分の1の周波数の第2クロックとの2種類のクロックを用いるものについて説明を行なう。

【0005】図3は上記従来の論理回路50の一例を示しており、同図において、51、52は第1の入力データIDB<sub>1</sub>、第2の入力データIDB<sub>2</sub>がそれぞれ供給される第1及び第2のデータ入力端子を示し、53は公知の第1クロック発生手段から発生された所定の周波数の第1クロックCLK<sub>1</sub>が供給される第1クロック入力端子を示し、54は公知の第2クロック発生手段から発生された第1クロックCLK<sub>1</sub>の周波数の2分の1の周波数の第2クロックCLK<sub>2</sub>が供給される第2クロック入力端子を示し、55、56、57は第1クロック入力端子53から第1クロックCLK<sub>1</sub>を入力し該第1クロックCLK<sub>1</sub>に同期して動作する第1のフリップフロップ（以後第1のFFと記す）を示し、58、59は第2クロック入力端子54から第2クロックCLK<sub>2</sub>を入力し該第2クロックCLK<sub>2</sub>に同期して動作する第2のフリップフロップ（以後第2のFFと記す）を示し、60は第1のFF57のQ端子から出力されるデータを論理回路50の第1の出力データODB<sub>1</sub>として出力する第1のデータ出力端子を示し、61は第2のFF59のQ端子から出力されるデータを論理回路50の第2の出力データODB<sub>2</sub>として出力する第2のデータ出力端子を示しており、第1及び第2のデータ入力端子51、52と、第1及び第2クロック入力端子53、54と、第1のFF55、56、57と、第2のFF58、59と、第1及び第2のデータ出力端子60、61とは図3に示すように接続されている。なお、FDB<sub>1</sub>は第1のFF56のQ端子から出力され第2のFF59のD端子に入力されるデータを示し、FDB<sub>2</sub>は第2のFF58のQ端子から出力され第1のFF57のD端子に入力されるデータを示している。

【0006】以上のように構成された論理回路50の動作を以下に説明する。

【0007】ここで、第1のFF55、56、57は第1クロックCLK<sub>1</sub>の立ち上がりエッジで動作し第2のFF58、59は第2クロックCLK<sub>2</sub>の立ち上がりエッジで動作するものとする。

【0008】図4は従来の論理回路50の各信号を示すタイミングチャート図であり、同図において、CLK<sub>1</sub>は公知の第1クロック発生手段から発生される所定の周波数の第1クロックを示し、CLK<sub>2</sub>は公知の第2クロック発生手段から発生される第1クロックCLK<sub>1</sub>の周波数の2分の1の周波数の第2クロックを示し、IDB<sub>1</sub>は第1のデータ入力端子51から入力される第1の入力データを示し、FDB<sub>1</sub>は第1のFF56から出力され第2のFF59に入力されるデータを示し、ODB<sub>2</sub>は第2のデータ出力端子61から出力される第2の出力

データを示し、IDB<sub>2</sub>は第2のデータ入力端子52から入力される第2の入力データを示し、FDB<sub>2</sub>は第2のFF58から出力され第1のFF57に入力されるデータを示し、ODB<sub>1</sub>は第1のデータ出力端子60から出力される第1の出力データを示している。

【0009】まず、第1クロック入力端子53から第1クロックCLK<sub>1</sub>が入力されることによって第1のFF55、56、57が第1クロックCLK<sub>1</sub>によるタイミングで動作し、第2クロック入力端子54から第2クロックCLK<sub>2</sub>が入力されることによって第2のFF58、59が第2クロックCLK<sub>2</sub>によるタイミングで動作する。

【0010】これにより、第1のデータ入力端子51から入力された第1の入力データIDB<sub>1</sub>は第1クロックCLK<sub>1</sub>の2クロック分だけ遅延して第1のFF56からデータFDB<sub>1</sub>として出力され、データFDB<sub>1</sub>は第2のクロックCLK<sub>2</sub>の立ち上がりエッジで第2のFF59に取り込まれ、第2のデータ出力端子61から第2の出力データODB<sub>2</sub>として出力される。

【0011】同様に、第2のデータ入力端子52から入力された第2の入力データIDB<sub>2</sub>は第2クロックCLK<sub>2</sub>の1クロック分だけ遅延して第2のFF58からデータFDB<sub>2</sub>として出力され、データFDB<sub>2</sub>は第1クロックCLK<sub>1</sub>の立ち上がりエッジで第1のFF57に取り込まれ、第1のデータ出力端子60から第1の出力データODB<sub>1</sub>として出力される。

【0012】また、論理回路50においては、第1及び第2クロック入力端子53、54から同一のクロックを入力することによって、第1のFF55、56、57と第2のFF58、59とを単一のクロックで動作することができる。

【0013】

【発明が解決しようとする課題】しかしながら、上記従来の論理回路50においては、第1のFF56から出力されるデータFDB<sub>1</sub>の変化点が第1クロックCLK<sub>1</sub>の立ち上がりエッジより遅延すると共に第2のFF58から出力されるデータFDB<sub>2</sub>の変化点が第2クロックCLK<sub>2</sub>の立ち上がりエッジより遅延するため、図4のcで示される第1のFF57のセットアップ時間が短くなるので第1のFF57がミ斯拉ッチを起こす可能性があり、これを防ぐために第2クロックCLK<sub>2</sub>のタイミングを速くすると図4のdで示される第2のFF59のセットアップ時間が短くなるので第2のFF59がミ斯拉ッチを起こす可能性が高くなり、第1及び第2クロックCLK<sub>1</sub>、CLK<sub>2</sub>をミ斯拉ッチが発生しないタイミング位相関係にすることは困難であるという問題がある。また、単一のクロックで動作させるときは第1及び第2クロック入力端子53、54から同一のクロックを入力するが、各クロック入力端子に繋がる負荷の差異によりクロック間に位相差が生じるためミ斯拉ッチが発生

するという問題がある。

【0014】本発明は上記に鑑みなされたものであって、2種類のクロックを用いる場合には各クロックを用いる回路相互間におけるデータのやり取りをミ斯拉ッチが発生することなく行なうことができ、さらに、単一のクロックで動作可能でありこのときもミ斯拉ッチが発生することなく動作させることができる論理回路を提供することを目的とする。

【0015】

10 【課題を解決するための手段】上記の目的を達成するため、請求項1の発明は、所定の周波数のクロックであるタイミング信号に同期して第1のフリップフロップが動作し、上記タイミング信号の周波数の2分の1の周波数のクロックである制御信号の一方の値のときにだけ上記タイミング信号に同期して第2のフリップフロップが動作することによって、ミ斯拉ッチの発生を防止するものである。

【0016】具体的に請求項1の発明が講じた解決手段は、論理回路を対象とし、所定の周波数のクロックであるタイミング信号を発生するタイミング信号発生手段と、第1の値と第2の値とに交互に変化し上記タイミング信号の周波数の2分の1の周波数のクロックである制御信号を発生する制御信号発生手段と、上記タイミング信号を入力し該タイミング信号に同期して動作する第1のフリップフロップと、上記タイミング信号と上記制御信号とを入力し、該制御信号の値が上記第1の値であるときに上記タイミング信号に同期して動作し上記第2の値であるときに動作しない第2のフリップフロップとを備えている構成とするものである。

30 【0017】さらに、請求項2の発明は、上記制御信号の値を上記一方の値に固定することにより第2のフリップフロップも常時上記タイミング信号に同期して動作する状態にすることによって、単一のクロックで動作できるようにするものである。

【0018】具体的に請求項2の発明が講じた解決手段は、論理回路を対象とし、所定の周波数のクロックであるタイミング信号を発生するタイミング信号発生手段と、第1の値と第2の値とに交互に変化し上記タイミング信号の周波数の2分の1の周波数のクロックである第1の制御信号及び上記第1の値のみからなる第2の制御信号を切り換え可能に発生する制御信号発生手段と、上記タイミング信号を入力し該タイミング信号に同期して動作する第1のフリップフロップと、上記タイミング信号と上記第1及び第2の制御信号のうちの一の制御信号とを入力し、該一の制御信号が上記第1の制御信号である場合には該第1の制御信号の値が上記第1の値であるときに上記タイミング信号に同期して動作し上記第2の値であるときに動作しない一方、上記一の制御信号が上記第2の制御信号である場合には上記タイミング信号に同期して動作する第2のフリップフロップとを備えてい

5

る構成とするものである。

【0019】

【作用】上記請求項1の発明の構成により、第1のフリップフロップは所定の周波数のクロックであるタイミング信号に同期して動作する。一方、第2のフリップフロップは、上記タイミング信号の周波数の2分の1の周波数のクロックである制御信号が第1の値のときにだけ動作するため、見掛け上該制御信号に同期して動作する。実際には、第2のフリップフロップは第1のフリップフロップと同様に上記タイミング信号に同期して動作するため、第1及び第2のフリップフロップ相互間におけるデータのやり取りをミスラッチが発生することなく行うことができる。

【0020】さらに、上記請求項2の発明の構成により、制御信号の値を第1の値に固定することができる。このため、第2のフリップフロップを常にタイミング信号に同期して動作する状態にすることができる。従って、第1のフリップフロップと第2のフリップフロップとを単一のクロックで動作させることが可能である。また、タイミング信号は1つの発生手段から発生される1つの信号であるため、位相差が生じることがないのでミスラッチが発生することなく動作させることができる。

【0021】

【実施例】以下に本発明の一実施例を図面に基づいて説明する。

【0022】図1は上記実施例に係る論理回路10を示しており、同図において、11、12は第1の入力データIDA<sub>1</sub>、第2の入力データIDA<sub>2</sub>がそれぞれ供給される第1及び第2のデータ入力端子を示し、13は公知のクロック発生手段であるタイミング信号発生手段から発生され所定の周波数のクロックであるタイミング信号CLKが供給されるクロック入力端子を示し、14は公知のクロック発生手段である制御信号発生手段から発生されタイミング信号CLKの周波数の2分の1の周波数のクロックである制御信号CSが供給される制御信号入力端子を示し、15、16、17はクロック入力端子13からクロックCLKを入力し該クロックCLKに同期して動作する第1のフリップフロップ（以後第1のFFと記す）を示し、18、19はクロック入力端子13からのタイミング信号CLKと制御信号入力端子14からの制御信号CSとを入力する第2のフリップフロップ（以後第2のFFと記す）を示し、該第2のFF18、19は制御信号CSがHighレベルであるときにはタイミング信号CLKに同期してデータを入力する一方Lowレベルであるときには入力したデータを保持するロード／ホールド型フリップフロップである。また、20は第1のFF17のQ端子から出力されるデータを論理回路10の第1の出力データODA<sub>1</sub>として出力する第1のデータ出力端子を示し、21は第2のFF19のQ端子から出力されるデータを論理回路10の第2の出力

6

データODA<sub>2</sub>として出力する第2のデータ出力端子を示しており、第1及び第2のデータ入力端子11、12と、クロック入力端子13と、制御信号入力端子14と、第1のFF15、16、17と、第2のFF18、19と、第1及び第2のデータ出力端子20、21とは図1に示すように接続されている。なお、FDA<sub>1</sub>は第1のFF16のQ端子から出力され第2のFF19のD端子に入力されるデータを示し、FDA<sub>2</sub>は第2のFF18のQ端子から出力され第1のFF17のD端子に入力されるデータを示している。

【0023】以上のように構成された論理回路10の動作を以下に説明する。

【0024】ここで、第1のFF15、16、17はクロックCLKの立ち上がりエッジで動作し第2のFF18、19は制御信号CSがHighレベルであるときにクロックCLKの立ち上がりエッジで動作するものとする。

【0025】図2は上記実施例に係る論理回路10の各信号を示すタイミングチャート図であり、同図において、CLKは上記タイミング信号発生手段から発生され所定の周波数のクロックであるタイミング信号を示し、CSは上記制御信号発生手段から発生されクロックCLKの周波数の2分の1の周波数のクロックである制御信号を示し、IDA<sub>1</sub>は第1のデータ入力端子11から入力される第1の入力データを示し、FDA<sub>1</sub>は第1のFF16から出力され第2のFF19に入力されるデータを示し、ODA<sub>2</sub>は第2のデータ出力端子21から出力される第2の出力データを示し、IDA<sub>2</sub>は第1のデータ入力端子12から入力される第2の入力データを示し、FDA<sub>2</sub>は第2のFF18から出力され第1のFF17に入力されるデータを示し、ODA<sub>1</sub>は第1のデータ出力端子20から出力される第1の出力データを示している。

【0026】まず、クロック入力端子13からタイミング信号CLKが入力されることによって、第1のFF15、16、17と第2のFF18、19とがタイミング信号CLKによるタイミングで動作する。

【0027】これにより、第1のデータ入力端子11から入力された第1の入力データIDA<sub>1</sub>はクロックCLKの2クロック分だけ遅延して第1のFF16からデータFDA<sub>1</sub>として出力され、データFDA<sub>1</sub>は制御信号CSがHighレベルであるときにタイミング信号CLKの立ち上がりエッジで第2のFF19に取り込まれ、第2のデータ出力端子21から第2の出力データODA<sub>2</sub>が出力される。

【0028】一方、第2のデータ入力端子12から入力された第2の入力データIDA<sub>2</sub>は制御信号CSがHighレベルであるときにタイミング信号CLKの立ち上がりエッジで第2のFF18に取り込まれ、制御信号CSの1クロック分だけ遅延して第2のFF18からデー



タFDA<sub>2</sub>として出力され、データFDA<sub>2</sub>はタイミング信号CLKの立ち上がりエッジで第1のFF17に取り込まれ、第1のデータ出力端子20から第1の出力データODA<sub>1</sub>が出力される。

【0029】以上のように本実施例に係る論理回路10においては、第1のFF15、16、17は所定の周波数のクロックであるタイミング信号CLKに同期して動作する。一方、第2のFF18、19は、タイミング信号CLKの周波数の2分の1の周波数のクロックである制御信号CSがHighレベルであるときにだけ動作する

ため、見掛け上該制御信号CSに同期して動作する。【0030】しかし、実際には、第2のFF18、19は第1のFF15、16、17と同様にタイミング信号CLKに同期して動作する。このため、図2のaに示すように、第1のFF17のセットアップ時間を十分にとることができると共に、図2のbに示すように、第2のFF19のセットアップ時間を十分にとることができる。さらに、各FFのホールド時間も十分にとることができる。

【0031】ここで、制御信号CSのタイミング信号CLKに対するセットアップ時間及びホールド時間のみを考慮することにより、制御信号CSとタイミング信号CLKとの位相関係をミ斯拉ッチの発生しない位相関係にすることが容易にできる。

【0032】従って、第1のFF及び第2のFF相互間におけるデータのやり取りをミ斯拉ッチが発生することなく行なうことができる。

【0033】次に、制御信号発生手段から発生されたHighレベルのみからなる制御信号が制御信号入力端子14に供給され、制御信号入力端子14がHighレベルに固定されると、第2のFF18、19は常にタイミング信号CLKに同期して動作する状態になる。これにより、第1のFF15、16、17と第2のFF18、19とを単一のクロックのみに同期させて動作させることができる。

【0034】このとき、タイミング信号CLKは1つのタイミング信号発生手段から発生される1つの信号であるため、位相差が生じることがないのでミ斯拉ッチが発生することなく動作させることができる。

【0035】なお、本実施例においては、ロード/ホールド型フリップフロップである第2のFF18、19は、制御信号CSがHighレベルであるときにデータを入力しLowレベルであるときにデータを保持するものであるとしたが、制御信号CSがLowレベルであるときにデータを入力しHighレベルであるときにデータを保持するものとしても同様の動作ができるのは言うまでもない。また、本実施例におけるフリップフロップは、クロックCLKの立ち上がりエッジで動作するものとしたが、クロックCLKの立ち下がりエッジ

で動作するものとしても同様の動作ができるのは言うまでもない。

#### 【0036】

【発明の効果】以上説明したように、請求項1の発明に係る論理回路によると、第1のフリップフロップが所定の周波数のクロックであるタイミング信号に同期して動作し、第2のフリップフロップが上記タイミング信号の周波数の2分の1の周波数のクロックである制御信号の一方の値のときにだけ上記タイミング信号に同期して動作するため、第2のフリップフロップを、見掛け上は上記制御信号に同期させて動作させることができ、実際には上記タイミング信号に同期させて動作させることができる。これにより、第1及び第2のフリップフロップ相互間におけるデータのやり取りをミ斯拉ッチが発生することなく行なうことができる。

【0037】さらに、請求項2の発明に係る論理回路によると、上記制御信号の値を上記一方の値に固定することができるため、第1及び第2のフリップフロップを単一のクロックで動作できるようにすることが可能であり、このとき、単一のクロックは1つの発生手段から発生される1つの信号であるため位相差が生じることがないのでミ斯拉ッチが発生することなく動作させることができる。

【0038】従って、本発明によると、2種類のクロックを用いる場合には各クロックを用いるフリップフロップ相互間におけるデータのやり取りをミ斯拉ッチが発生することなく行なうことができ、さらに、単一のクロックで動作可能でありこのときもミ斯拉ッチが発生することなく動作させることができる優れた論理回路を実現することができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例に係る論理回路を示す回路図である。

【図2】上記実施例に係る論理回路の動作タイミングを示すタイミングチャート図である。

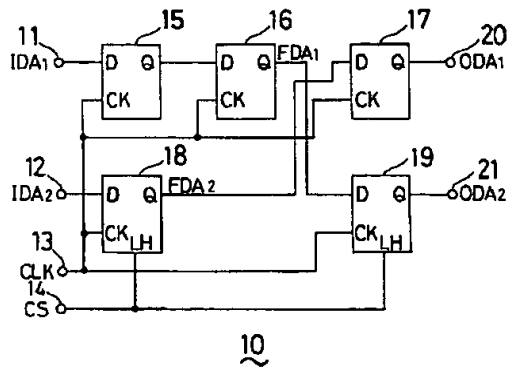
【図3】従来の論理回路を示す回路図である。

【図4】上記従来の論理回路の動作タイミングを示すタイミングチャート図である。

#### 【符号の説明】

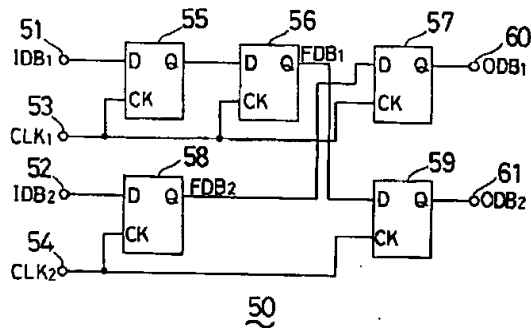
- 10 論理回路
- 11 第1のデータ入力端子
- 12 第2のデータ入力端子
- 13 クロック入力端子
- 14 制御信号入力端子
- 15、16、17 第1のフリップフロップ
- 18、19 第2のフリップフロップ
- 20 第1のデータ出力端子
- 21 第2のデータ出力端子

【図1】

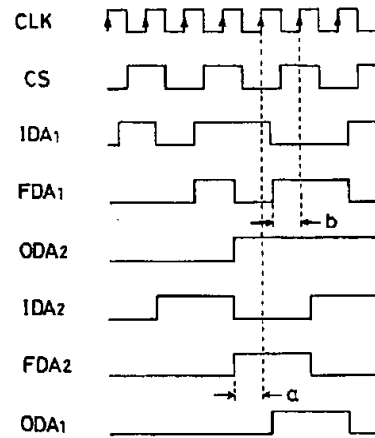


- 10 論理回路  
 11 第1のデータ入力端子  
 12 第2のデータ入力端子  
 13 クロック入力端子  
 14 制御信号入力端子  
 15、16、17 第1のフリップフロップ  
 18、19 第2のフリップフロップ  
 20 第1のデータ出力端子  
 21 第2のデータ出力端子

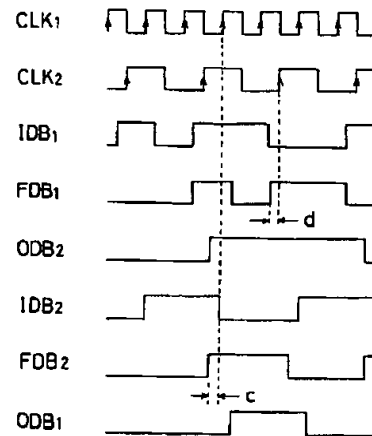
【図3】



【図2】



【図4】



	Type	Hits	Search Text
1	BRS	24119	257/\$.ccls. and (((fourth or fifth or sixth or seventh) near transistor) or (transistors or FETs))
2	BRS	3	257/\$.ccls. and (((fifth or sixth or seventh) near transistor)) and (inverters or (second adj inverter)) and (clock adj signals)
3	BRS	4	257/\$.ccls. and (((fifth or sixth or seventh) near transistor)) and (inverters or (second adj inverter)) and (clock adj (signal or signals))
4	BRS	40	257/\$.ccls. and (((fifth or sixth or seventh) near transistor)) and (inverters or (second adj inverter))
5	BRS	275	257/236,259.ccls.
6	BRS	2624	257/341,351,357,369.ccls.
7	BRS	1521	257/369.ccls.
8	BRS	2347	327/544,534,530,537.ccls.
9	BRS	383	327/215.ccls.
10	IS&R	1	("6225846").PN.

	DBs	Time Stamp	Comments	Error Definition
1	USPAT; EPO; JPO; DERWENT; IBM_TDB	2002/03/10 16:04		
2	USPAT; EPO; JPO; DERWENT; IBM_TDB	2002/03/10 16:07		
3	USPAT; EPO; JPO; DERWENT; IBM_TDB	2002/03/10 16:12		
4	USPAT; EPO; JPO; DERWENT; IBM_TDB	2002/03/10 16:28		
5	USPAT; EPO; JPO; DERWENT; IBM_TDB	2002/03/10 17:23		
6	USPAT; EPO; JPO; DERWENT; IBM_TDB	2002/03/10 17:59		
7	USPAT; EPO; JPO; DERWENT; IBM_TDB	2002/03/10 18:01		
8	USPAT; EPO; JPO; DERWENT; IBM_TDB	2002/03/10 18:50		
9	USPAT; EPO; JPO; DERWENT; IBM_TDB	2002/03/10 19:38		
10	USPAT; US-PGPUB	2002/03/10 19:38		

	Errors
1	0
2	0
3	0
4	0
5	0
6	0
7	0
8	0
9	0
10	0